

CLIPPEDIMAGE= JP401276769A
PAT-NO: JP401276769A
DOCUMENT-IDENTIFIER: JP 01276769 A
TITLE: INSULATED GATE TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: November 7, 1989

INVENTOR-INFORMATION:

NAME
YAMANAKA, KAZUO
TAKAHASHI, KOJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP63105724

APPL-DATE: April 28, 1988

INT-CL_(IPC): H01L029/78

US-CL-CURRENT: 257/362

ABSTRACT:

PURPOSE: To form a back-to-back diode and to protect gate insulation film by forming a p-type floating base deeper than the P<SP>-</SP> type floating base and by allowing N<SP>+</SP> cathode layer to be subject to diffusion formation.

CONSTITUTION: Inverse breakdown voltage of a gate protection diode D2 or D2 is determined by the concentration and slope of impurities at a P-N junction J_{SB}^4 of a wide flat area within a bulk formed by first and second cathode areas 14 and 16 and second and third floating base areas 18 and 19. The gate protection diode shown by D2 and D3 in the equivalent circuit of this semiconductor device is formed in back-to-back. When a voltage which is greater than insulation breakdown voltage is applied between the G and S, the D2 and D3 are activated so that no breakdown voltage is

produced between the G
and S, thus effectively preventing insulation breakdown of
the film 7 from
being generated.

COPYRIGHT: (C) 1989, JPO&Japio

⑪ 公開特許公報 (A) 平1-276769

⑫ Int. Cl.⁴
H 01 L 29/78識別記号
321
府内整理番号
K-8422-5F

⑬ 公開 平成1年(1989)11月7日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 絶縁ゲート型半導体装置

⑮ 特願 昭63-105724

⑯ 出願 昭63(1988)4月28日

⑰ 発明者 山中 和夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発明者 高橋 孝司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

絶縁ゲート型半導体装置

設ダイオードを有することを特徴とする絶縁ゲート型半導体装置。

2. 特許請求の範囲

少なくとも一層が第1導電形の半導体基板の一主面に第2導電形のバックゲート領域と、該バックゲート領域内に第1導電形の領域を有し、該第1導電形の領域と前記第1導電形の半導体基板にはさまれた第2導電形のバックゲート領域の表面にチャネル領域が形成される (Diffusion Self Aligment) 形の絶縁ゲート型半導体装置において、前記能動領域と異なる同一半導体基板上の一定面に接して前記バックゲート領域より大なる深さを有しつつ低不純物濃度の第1の第2導電形領域と、該第1の第2導電形領域の主面上の領域内に該第1の第2導電形領域より浅い第1導電形領域と、該第1導電形領域の主面上の領域より内で少なくとも該第1導電形領域よりも深くかつ前記第1の第2導電形領域よりも高不純物濃度を有する第2の第2導電形領域とを形成してなるゲート保

3. 発明の詳細な説明

(概要)

本発明は、ゲート保護ダイオードを有する絶縁ゲート型半導体装置に関し、

前記ゲート保護ダイオードをチャネル部分を有する能動領域と異なる領域でかつそれと同一半導体基板上に、前記能動領域の動作および特性には影響を与えることなく形成するとともに、前記ゲート保護ダイオードの電流サージ耐量の向上とその逆方向電圧への表面イオンの影響をなくすことによる特性の安定を図ることによって絶縁ゲート型半導体装置の性能向上を図ることを目的とし、

少なくとも一層が第1導電形の半導体基板の一主面に第2導電形のバックゲート領域と、該バックゲート領域内に第1導電形の領域を有し、該第1導電形の領域と前記第1導電形の半導体基板にはさまれた第2導電形のバックゲート領域の表面にチャネル領域が形成される能動領域を有する D

S A形の絶縁ゲート型半導体装置において、前記能動領域と異なる同一半導体基板上の一主面に接して前記バックゲート領域より大なる深さを有しつつ低不純物濃度の第1の第2導電形領域と、該第1の第2導電形領域の主面上の領域内に該第1の第2導電形領域より浅い第1導電形領域と、該第1導電形領域の主面上の領域より内で少なくとも該第1導電形領域よりも深くかつ前記第1の第2導電形領域よりも高不純物濃度を有する第2の第2導電形領域とを形成してなるゲート保護ダイオードを有することを特徴とする絶縁ゲート型半導体装置に係る。

〔産業上の利用分野〕

本発明はゲート保護ダイオードを有する絶縁ゲート型半導体装置に関する。

一般に絶縁ゲート型半導体装置のゲート絶縁膜は薄いので比較的低い電圧で絶縁破壊を起こす。このため絶縁ゲート型半導体装置を扱い易くするためおよびより安定に動作させるためにはゲート

絶縁膜の保護のためのゲート保護ダイオードが必要になる。

〔従来の技術〕

第4図および第6図は従来例の半導体装置を示す断面図で、それぞれ第5図および第7図に示す等価回路をもつ。

更に第8図は特許出願公告昭62-52469号に公知の従来例で、第4図と第6図とに示す従来例を改良したものであり第7図に示す等価回路をもつ。

図において、101はN⁺形高温度半導体基板、102はN⁻形低温度エピタキシャル層でドレイン領域を構成し、105はP形バックゲート領域、106はN⁻形ソース拡散領域、107はゲートSiO₂膜、108はポリシリコンよりなるゲート電極、109はフィールドSiO₂膜、110は層間CVD膜、111はPのソース電極で以上が絶縁ゲート形電界効果トランジスタ（以下MOSFETと称する）を構成する。

本MOSFETはバックゲート領域105とソ

ース拡散領域106とはゲートSiO₂膜107とゲート電極108とをマスクにして同一の窓から拡散されそれぞれの拡散方向拡散長の差がチャネル長となる（これをDSA [Diffusion Self Alignment] 構造という）ので非常に短チャネルでオン抵抗の小さいものおよび高周波特性のすぐれたものが得られるという特徴がある。

次に第4図、第6図、第8図におけるゲート保護ダイオードを構成する部分について説明する。

第4図においては、103はP形アノード領域で例えばP形バックゲート領域105と同時に形成されて前記ソース電極111と接続され、104はN⁻形カソード領域で例えばN⁻形ソース拡散領域106と同時に形成され前記ゲート電極108と接続されてゲート保護ダイオードを構成し、ゲート（以下Gと称する）～ソース（以下Sと称する）間の約600Åの薄いゲートSiO₂膜107を保護している。このゲート保護ダイオードの耐圧はゲートSiO₂膜107の絶縁破壊電圧よりも低い適当な値約30Vに設定してある。更に第5図

の等価回路に示すようにカソード領域104とアノード領域103と低温度エピタキシャル層102とで寄生のトランジスタTr1を構成している。

この構造においては、前記公知例によれば、ゲートを負の方向に引いた場合ゲート電流が流れると同時に寄生バイポーラトランジスタTr1がベース接地動作を行なうことから1度オフした後にドレイン（以下Dと称する）～S間に再度電流が流れ始め使い方によっては問題が多く発生し用途が限定される、とある。

第6図においては、114はN⁻形第1のカソード領域で前記ソース電極111と接続され、115はP形フローティングベース領域、116はN⁻形第2のカソード領域で前記ゲート電極と接続されていてG-S間にダイオードがバックトゥバック（第7図のD2とD3）に形成されている。更に第7図の等価回路に示すように第1のカソード領域114とフローティングベース領域115と低温度エピタキシャル層102とで一つの寄生トランジスタ（第7図のTr3）を、第2のカソ-

ド領域116とフローティングベース領域115と低濃度エピタキシャル層102などで他の寄生トランジスタ(第7図のTr2)を構成している。

この構造においては、前記公知例によれば、寄生トランジスタTr2およびTr3のコレクタ(以下Cと称する)-エミッタ(以下Eと称する)間耐圧BV_{cce}はMOSFETのD-S間耐圧(以下BV_{oss}と称する)より低いので耐圧強度上不利、である。

第8図においては、117はP⁺形第1のフローティングベース領域、118はP形第2のフローティングベース領域、119はP形第3のフローティングベース領域を示す。この従来例は第4図と第6図に示す従来例を改良したもので以下の特徴をもつ。つまり第4図と第6図におけるアノード領域103とフローティングベース領域115に相当する第2及び第3のフローティングベース領域(118及び119)の他にこれらより深くて低濃度の第1のフローティングベース領域117を設けて第1のカソード領域114と第2の

(117, 102)の不純物濃度分布はy, x方向でそれぞれ第9図の(a), (b)となる。横方向(y方向)でのPN接合J3での不純物濃度は縦方向(x方向)でのそれと同じかそれ以上となり横方向の曲率も考慮するとゲート保護ダイオードの耐圧は表面近傍の狭い領域で決まり、電流サージ耐量に弱い、耐圧が表面イオンの影響を受けやすいという欠点をもち絶縁ゲート型半導体装置の性能向上が困難なという問題がある。

(課題を解決するための手段)

上記問題点は、能動領域と異なる半導体基板上の主面上に接して第2導電形のバックゲート領域より大なる深さを有しつつ低不純物濃度の第1の第2導電形領域と、該第1の第2導電形領域の主面上の領域内に該第1の第2導電形領域より浅い第1導電形領域と、該第1導電形領域の主面上の領域より内で少なくとも該第1導電形領域よりも深くかつ前記第1の第2導電形領域よりも高不純物濃度を有する第2の第2導電形領域とを形成し

フローティングベース領域118および第1のフローティングベース領域117と低濃度エピタキシャル層102などで構成される一の寄生トランジスタ(第7図のTr3に相当)および第2のカソード領域116と第3のフローティングベース領域119および第1のフローティングベース領域117と低濃度半導体基板102などで構成される他の寄生トランジスタ(第7図のTr2に相当)のベース(以下Bと称する)-C間耐圧BV_{cce}に相当するPN接合J2の逆方向破壊電圧を上げるとともにベース到達率を減少させることにより寄生トランジスタのh_{FE}を下げて寄生トランジスタのC-E間耐圧BV_{cce}をMOSFETの耐圧BV_{oss}よりも高くして寄生トランジスタの動作を抑制し強度上有利にするとともにMOSFETのオン抵抗その他の特性を維持するものである。

(発明が解決しようとする課題)

しかし第8図に示す半導体装置によると、同図のゲート保護ダイオード部分(114, 118,

117, 102)の不純物濃度分布はy, x方向でそれぞれ第9図の(a), (b)となる。横方向(y方向)でのPN接合J3での不純物濃度は縦方向(x方向)でのそれと同じかそれ以上となり横方向の曲率も考慮するとゲート保護ダイオードの耐圧は表面近傍の狭い領域で決まり、電流サージ耐量に弱い、耐圧が表面イオンの影響を受けやすいという欠点をもち絶縁ゲート型半導体装置の性能向上が困難なという問題がある。

(作用)

即ち本発明によれば、ゲート保護ダイオードの逆方向破壊電圧がPN接合のパルク内の広い平面部分で決まるので電流サージ耐量に強く、かつ逆方向破壊電圧が表面イオンの影響を受けにくくすることができ、絶縁ゲート型半導体装置の性能向上を図ることができる。

又ゲート保護ダイオードの部分に形成される寄生トランジスタのBV_{cce}もMOSFETの耐圧BV_{oss}よりも高くすることができるので寄生トランジスタ動作を抑制し、強度上有利にすることができるとともにMOSFETのオン抵抗その他の特性を維持することができる。

(実施例)

次に本発明の実施例について説明する。第1図は本発明に係る実施例の半導体装置断面図である。

図において、1は温度が $2 \times 10^{10} \text{ cm}^{-3}$ 程度のN+形高温度半導体基板、2は温度が $4 \times 10^{13} \text{ cm}^{-3}$ 、厚さ 2.5μ 程度のN+形低温度エピタキシャル層でMOSFETのドレインとなる領域、7は厚さ600Å程度のゲートSiO₂膜、8はポリシリコンからなるゲート電極であり、ゲートSiO₂膜7と該ゲート電極8とをマスクにして表面温度 $1 \times 10^{10} \text{ cm}^{-3}$ 、深さ3μ程度のP形バックゲート領域5と表面温度 $5 \times 10^{10} \text{ cm}^{-3}$ 、深さ1.5μ程度のN+形ソース拡散領域6を形成している。本構造がDiffusion Self Alignment(以下DSAと称する)と呼ばれる構造でありP形バックゲート領域5とN+形ソース拡散領域6との拡散深さの差約1.5μのチャネル領域13が形成される。本DSA構造は特に短チャネルの形成に適した構造である。

また、10は厚さ1μ程度の間にCVD膜、11は該のソース電極である。

以上がMOSFETを構成していくこの領域を能動領域という。

この能動領域と異なる同一半導体基板上の領域

にゲート保護ダイオードが形成される。

同図において、9はフィールドSiO₂膜、17は表面温度 $1 \times 10^{10} \text{ cm}^{-3}$ 、深さ7μ程度のP+形第1のフローティングベース領域、18は表面温度 $4 \times 10^{10} \text{ cm}^{-3}$ 、深さ8μ程度のP形第2のフローティングベース領域、19は18と同時に形成されるP形第3のフローティングベース領域、14と15は例えばN+形ソース拡散領域6と同時に形成される表面温度 $5 \times 10^{10} \text{ cm}^{-3}$ 、深さ1.5μ程度のそれぞれ第1および第2のカソード領域で、第1のカソード領域14は延長させた上により前記ソース電極11と接続され、第2のカソード領域16上に接して16のカソード電極12が接着されゲート電極8と接続される。

このゲート保護ダイオードは約30Vの逆方向破壊電圧をもつ。

以上のような構成により本実施例の半導体装置は第7図で示す等価回路に等しくなる。D2およびD3で示されたゲート保護ダイオードはバックトゥバックに形成されていて、G-S間にゲート

SiO₂膜7の絶縁破壊電圧(膜厚600Åで約40V)より大きい電圧がかかった時、これらD2とD3とが動作するためG-S間に約30V以上にはならずゲートSiO₂膜7の絶縁破壊は有效地に防止される。G-S間にかかる電圧は例えば人体電気、回路上発生するサージ電圧等がある。

ところで上記の構造によるとN+形第1のカソード領域14-P+形第1のフローティングベース領域17およびP形第2フローティングベース領域18-N+形低温度エピタキシャル層2で一の寄生トランジスタ(第7図のTr3に相当)が構成され、N+形第2のカソード領域-P+形第1のフローティングベース領域17および第3のフローティングベース領域19-N+形低温度エピタキシャル層で他の寄生トランジスタ(第7図のTr2に相当)が構成される。

さて本実施例による構造の特徴を第1図、第2図および第7図で説明する。第2図において、符された記号は第1図と同一のものを示している。

ゲート保護ダイオードD2又はD3の逆方向破

壊電圧は、第1図に示す第1又は第2のカソード領域(14又は16)と第2又は第3のフローティングベース領域(18又は19)とで形成されるバブル内の広い平面部分のPN接合J4での不純物濃度およびその傾斜によって決まる。それは第1図のx方向およびy方向の不純物濃度分布を示す第2図によって、PN接合J3とJ4との不純物濃度分布を比較すれば明らかである。J3およびJ4の不純物濃度はそれぞれ第1のフローティングベース領域17と第2又は第3のフローティングベース領域(18又は19)の不純物濃度分布を変えることにより任意にコントロールできる。

又寄生トランジスタTr2又はTr3のBV_{ceo}は第1のフローティングベース領域の不純物濃度および深さと第2又は第3のフローティングベース領域の不純物濃度および深さを変えることにより任意にコントロールできる。

次に第7図によってMOSFETが正常に動作するため即ちTr2およびTr3が動作しないための

Tr2 および Tr3 の BV_{ceo} の条件を検討してみる。

今 MOSFET にその D-S 間耐圧 V_{oss} の直前の電圧が D-S 間にかけられているとすると、G-S 間に正の電圧がかかった場合、ゲートの電圧は最大 [D2 (逆方向破壊電圧) + D3 (順方向電圧)] (以下 V_{or} と称する) になる。このとき Tr2 が動作しないためには

$$BV_{oss} < BV_{ceo} + V_{or}$$

Tr3 が動作しないためには

$$BV_{oss} < BV_{ceo}$$

となり、結局 Tr2 および Tr3 がともに動作しない条件は

$$BV_{oss} < BV_{ceo}$$

であればよい。又 G-S 間に負の電圧がかかった場合、ゲート電圧は最大 - [D2 (順方向電圧) + D3 (逆方向破壊電圧)] (以下 -V_{os} と称する) ）（以下 -V_{os} と称する）

になる。同様に Tr2 が動作しない条件は

$$BV_{oss} < BV_{ceo} - V_{os}$$

Tr3 が動作しない条件は

$$BV_{oss} < BV_{ceo} - V_{os} + D2 \text{ (順方向電圧)}$$

となり、結局 Tr2 および Tr3 ともに動作しない条件は

$$BV_{oss} < BV_{ceo} - V_{os}$$

となる。以上を総合すると MOSFET が正常に動作する条件は

$$BV_{oss} < BV_{ceo} - V_{os}$$

となる。

今本発明の実施例の構造で

$$BV_{oss} (\text{PN接合J1の耐圧}) \approx 150 \text{ V}$$

$$BV_{ceo} (\text{PN接合J2の耐圧}) \approx 230 \text{ V}$$

$$BV_{ceo} (\text{Tr2又はTr3のC-E間耐圧}) \approx 190 \text{ V}$$

$$V_{os} \approx V_{or} \approx 30 \text{ V}$$

が得られていて MOSFET が正常に動作する条件を満たす。

更に本発明の実施例においては、ゲート保護ダイオード D2 および D3 はその逆方向破壊電圧がパルク内の中の広い平面部分の PN 接合 J4 で決まる構造としているので G-S 間に人体電気又は回路上発生するサージ電圧がかかり D2 又は D3 が効

作して有効にゲート保護の役割を果たす場合、その保護限界は D2 および D3 に流れる電流によって決まるためその保護限界の向上が図れる。又同じ理由で D2 および D3 はその逆方向破壊電圧が裏面イオンの影響を受けにくく特性の安定が図れるので、本発明の絶縁ゲート型半導体装置はその性能の向上ができる。

第3図は本発明の他の実施例でゲート保護ダイオードを有する IGBT (絶縁ゲート形バイポーラトランジスタ) の断面図である。

図において 20 は P+ 形高温度半導体基板であり、他は第1図と同一である。

更に本発明は第1図において第1のカソード領域と第2のフローティングベース領域とを形成しないで第5図の等価回路とした場合および P-N 複電形タイプを逆転した構造にした場合にも有効である。

〔発明の効果〕

以上説明したように、本発明によれば MOSF

ET の動作および特性には影響を与えるにゲート保護ダイオードを形成するとともにゲート保護ダイオードの電流サージ耐量の向上とその逆方向電圧への裏面イオンの影響をなくすことによる特性の安定を図ることができるので絶縁ゲート型半導体装置の性能向上を図ることができる。

4. 図面の簡単な説明

第1図は本発明に係る実施例を説明する半導体装置の断面図。

第2図は本発明の実施例の効果を説明する図。

第3図は本発明の他の実施例を説明する半導体装置の断面図。

第4図は従来例の半導体装置を示す断面図。

第5図は第4図の等価回路。

第6図は他の従来例の半導体装置を示す断面図。

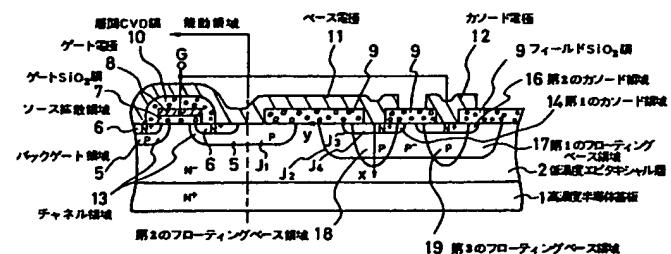
第7図は第6図の等価回路。

第8図は他の従来例の半導体装置を示す断面図。

第9図は第8図の従来例の半導体装置の問題点を説明する図である。

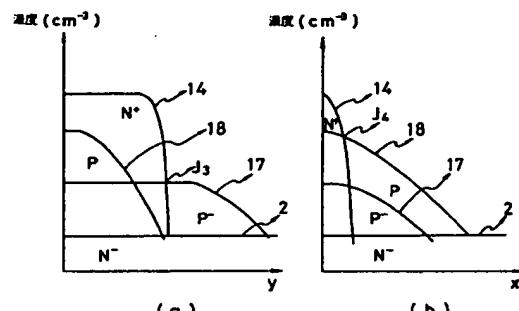
(符号の説明)

- | | |
|--|---------------------------------|
| 1. 101…N ⁺ 形高濃度半導体基板、 | 19. 119…P形第3のフローティングペー
ース領域、 |
| 2. 102…N ⁻ 形低濃度エピタキシャル層、 | |
| 103…P形アノード領域、 | 20…P ⁺ 形高濃度半導体基板、 |
| 104…N ⁻ 形カソード領域、 | G…ゲート、 |
| 5. 105…P形バックゲート領域、 | S…ソース、 |
| 6. 106…N ⁺ 形ソース拡散領域、 | D…ドレイン、 |
| 7. 107…ゲートSiO ₂ 膜、 | J1, J2, J3, J4…PN接合、 |
| 8. 108…ゲート電極、 | D1, D2, D3…ゲート保護ダイオード、 |
| 9. 109…フィールドSiO ₂ 膜、 | Tr1, Tr2, Tr3…寄生トランジスタ。 |
| 10. 110…層間CVD膜、 | |
| 11. 111…ソース電極、 | |
| 12. 112…カソード電極、 | 代理人弁理士 井桁 貞一 |
| 13. 113…チャネル領域、 | |
| 14. 114…N ⁺ 形第1のカソード領域、 | |
| 15. 115…P形フローティングベース領域、 | |
| 16. 116…N ⁻ 形第2のカソード領域、 | |
| 17. 117…P ⁺ 形第1のフローティングベ
ース領域、 | |
| 18. 118…P形第2のフローティングペ
ース領域、 | |



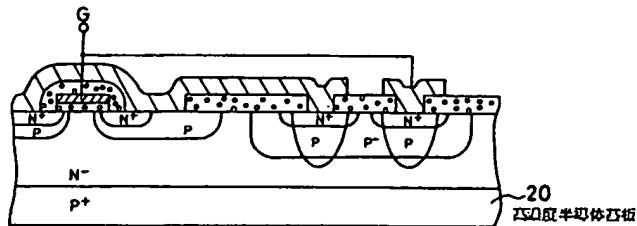
本発明に係る実施例を説明する半導体装置の断面図

第1図



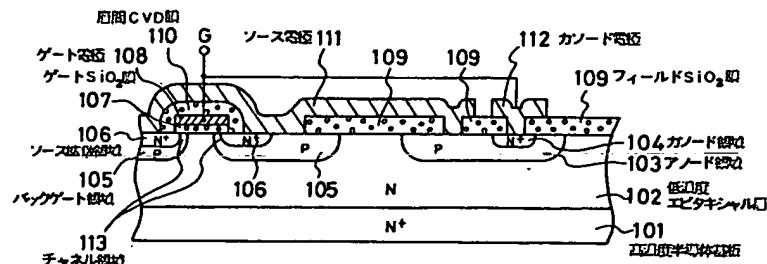
本発明の実施例の効果を説明する図

第2図



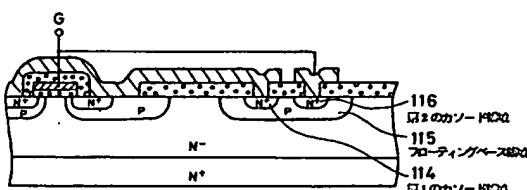
本発明の他の実施例を説明する半導体装置の断面図

第3図



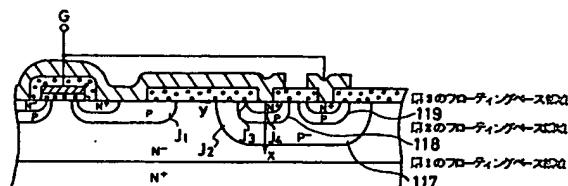
従来例の半導体装置を示す断面図

第4図



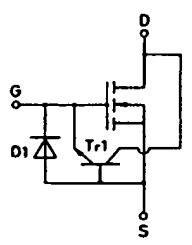
他の従来例の半導体装置を示す断面図

第6図

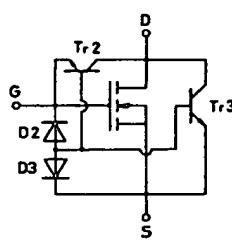


他の従来例の半導体装置を示す断面図

第8図

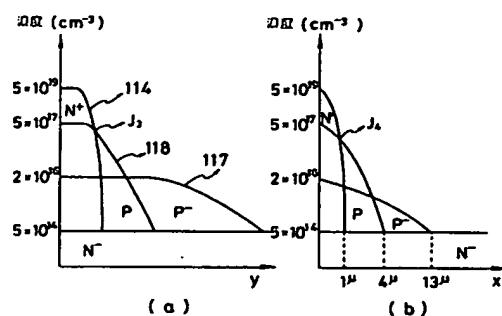


第5図



第6図の等価回路

第7図



第8図の従来例の半導体装置の問題点を説明する図

第9図